

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45907

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78 21/336			H 0 1 L 29/78	3 0 1 G 3 0 1 P

審査請求 有 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平7-193543

(22) 出願日 平成7年(1995)7月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 児玉 紀行

東京都港区芝五丁目7番1号 日本電気株式会社内

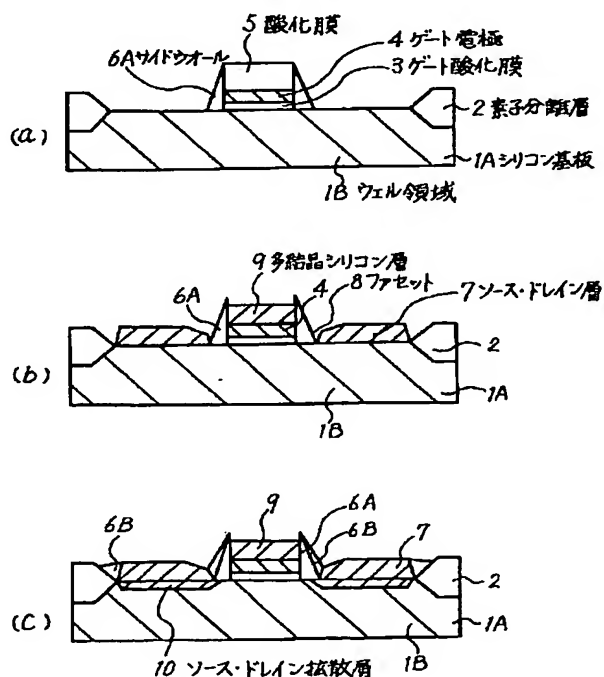
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ソース・ドレイン拡散層を浅く形成し、ゲート電極への不純物の導入を行う工程が複雑である。

【解決手段】 素子分離層 1 A とウェル領域 1 B を形成後、ゲート酸化膜 3 と多結晶シリコンからなるゲート電極 4 と、ゲート電極上の酸化膜 5 を形成する。その後、窒化膜からなるサイドウォール 6 A を形成したのち、酸化膜 5 を除去する。不純物を導入した選択シリコン成長を 800℃以下で行い、ソース・ドレイン領域にせり上げられたソース・ドレイン層 7 をそしてゲート電極 4 上に多結晶シリコン層 9 を形成する。次で熱処理によりソース・ドレイン拡散層 10 を形成すると同時に、ゲート電極 4 中にも不純物を拡散させゲート電極全体に導電性を与える。



1

【特許請求の範囲】

【請求項 1】 シリコン基板上に薄い酸化膜と多結晶シリコン膜と厚い酸化膜とを順次形成したのちパターンニングし、ゲート酸化膜とゲート電極とゲート電極を覆う酸化膜とを形成する工程と、全面に窒化膜を形成したのちエッチバックし前記ゲート電極の側面にゲート電極より高いサイドウォールを形成する工程と、前記ゲート電極を覆う前記酸化膜を除去したのち不純物を含むシリコン膜を堆積し前記シリコン基板上のソース・ドレイン領域にせり上げられたソース・ドレイン層を形成すると共に前記ゲート電極上に多結晶シリコン層を形成する工程と、熱処理を行ない前記ソース・ドレイン層より不純物を拡散させ前記シリコン基板上にソース・ドレイン拡散層を形成すると同時に前記多結晶シリコン層より不純物を拡散し前記ゲート電極に導電性を与える工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 不純物を含むシリコン膜は選択シリコン膜成長法により形成する請求項 1 記載の半導体装置の製造方法。

【請求項 3】 ソース・ドレイン層及びゲート電極上の多結晶シリコン層上に高融点金属又は遷移金属とのシリコン合金層を形成する請求項 1 記載の半導体装置の製造方法。

【請求項 4】 不純物を含むシリコン膜と不純物を含まないシリコン膜を選択シリコン膜成長法により順次成長させてソース・ドレイン層とゲート電極上に多結晶シリコン層を形成し、この上にシリコン合金層を形成する請求項 3 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に、ゲート長が $0.25\mu\text{m}$ 以下の微細トランジスタの製造方法に関する。

【0002】

【従来の技術】 MOS 集積回路の高速、高密度化には、トランジスタの微細化は必須である。MOS トランジスタの微細化は、基本的にはスケーリング即に従って行われる。ゲート長は露光技術によって制限されているが、 i 線を用いる露光装置では、 $0.25\mu\text{m}$ 、電子線露光装置では、 $0.1\mu\text{m}$ よりも微細なパターンを形成できるようになっている。この様な、ゲート長の微細化に伴い、ソース・ドレインを構成する拡散層の深さ（接合深さ）を $0.1\mu\text{m}$ 以下にする技術が要求されている。

【0003】 イオン注入により浅い拡散層を形成する方法では、イオンを低加速で注入しなければならないために、注入に時間がかかり量産に適さない。また、P 型の不純物であるボロンを用いる場合では、熱処理を施すと増速拡散を起こし、不純物分布が大きく広がるので、拡散層の深さを、 100nm 以下にすることは困難である。

2

【0004】 また、拡散層の形成領域が浅いと、シート抵抗が大きくなるだけでなく、コンタクト孔形成の際に、配線とのコンタクト抵抗が高くなり、プロセスのマージンが小さくなるという問題点もある。

【0005】 一方、シート抵抗低減のために、拡散層の上層にチタンシリサイドを形成する方法も検討されているが、拡散層の形成深さが 100nm 以下になると、それに対応した薄膜シリサイドの形成が困難である。

【0006】 このような問題点を解決する方法として、拡散層上に選択的にシリコン層を形成してせり上げられた拡散層を形成する、いわゆる、せり上げ構造が検討されている。以下図 3 を用い、特開平 2-222153 号公報を例に、せり上げ法について説明する。

【0007】 素子分離領域、ゲート酸化膜、ゲート電極、サイドウォール形成は図 3 (a) に示すように、通常のトランジスタと同様である。すなわち、シリコン基板 1 A の表面を局所酸化を行い素子分離層 2 を形成し、次でイオン注入により不純物をシリコン基板の深さ数 μm 程度の位置に導入してウエル領域 1 B を形成する。次に全面にゲート酸化膜 3 を 5nm 形成した後に、ゲート電極となる多結晶シリコン膜を 200nm 堆積し、続いて酸化膜を 50nm 堆積後、パターンニングしてゲート電極 4 A、ゲート電極上の酸化膜 5 A を形成する。次に窒化膜を堆積後、プラズマエッチング法でゲート電極の側壁部以外の窒化膜を除去してサイドウォール 6 A を形成する。

【0008】 次に図 3 (b) に示すように、フッ酸蒸気処理してソース・ドレイン領域の自然酸化膜を除去した後に、大気にさらすことなく減圧 CVD 装置中に導入し、 800°C 程度で水素ペークを行い、シリコン表面の自然酸化膜を完全に除去する。次で 800°C 程度で、原料ガスとしてシラン (SiH_4) を用い、シリコン酸化膜上にはシリコン膜が形成されないように、塩化水素ガス (HCl) を混合して、シリコン表面が露出している領域に選択的に $50\sim 70\text{nm}$ 程度のエピタキシャル成長を行い、せり上げられたソース・ドレイン層 7 A を形成する。このとき、サイドウォール 6 A と接する部分に、サイドウォールと密着しない部分（以降、ファセットと呼ぶ）8 が生じる。

【0009】 次に図 3 (c) に示すように、このファセット 8 を埋め込むために、たとえば、窒化膜等でサイドウォール 6 B を再度形成してファセット 8 を埋める。次でゲート電極 4 A 上の酸化膜 5 A を除去後、イオン注入中の汚染防止用の膜として厚さ 5nm の酸化膜を形成し、イオン注入により、P 型ではボロンを $10\sim 20\text{keV}$ 、N 型ではヒ素を $40\sim 60\text{keV}$ でせり上げられたソース・ドレイン層 7 A 及びゲート電極 4 A に導入し、熱処理を施して不純物の活性化をおこなう。この工程によりゲート電極 4 A 中の不純物をゲート電極全体に拡散させ、活性化して導電性を与えると同時に、せり上

3

げられたソース・ドレイン層7B中の不純物をシリコン基板方向へ拡散させて、基板内部にソース・ドレイン拡散層10Aを形成する。

【0010】次に汚染防止用の酸化膜を除去後、スパッタ法によりチタン膜を40nm程度の厚さに形成し、700℃程度の急速加熱法(Rapid Thermal Annealing:RTA)により、比較的高抵抗のチタンシリサイド(TiSi₂)をせり上げられたソース・ドレイン層7B及びゲート電極4A上に形成する。次で窒化チタンや余剰チタン等のチタンシリサイド以外の層を選択的にエッチングし除去した後に、850℃程度の急速加熱法によりチタンシリサイド膜を低抵抗化して、低抵抗のチタンシリサイド層11Aとし、シリサイド化工程を完了する。

【0011】以下プラズマCVD法にて低温で層間膜を堆積し、コンタクトの開孔、電極の形成等を行ない基本的なMOSトランジスタを完成させる。

【0012】また、ゲートをマスクとして、ソース、ドレインと同じ導電型のイオンを $1 \times 10^{-3} \text{ atoms/cm}^3$ 程度注入して、サイドウォール下部の領域を低抵抗化する、LDD(Lightly Doped Drain)構造も用いられることがある。

【0013】拡散層の深さ(接合深さ)は、せり上げられる以前のシリコン基板表面から、不純物濃度がウェルの濃度と等しくなるまでの深さと定義されるが、従来のイオン注入による方法では、イオン注入した不純物が基板方向に拡散する為、この接合深さを不純物が活性化時に拡散する距離である100nm以下に浅くできなかったという問題点があった。せり上げ構造を用いると、せり上げられた膜厚分だけ不純物の拡散に対して余裕度があるために、拡散層の深さを容易に浅くできるという利点がある。つまり、50nmのせり上げ膜厚を採用すると、従来のイオン注入法を用いても、拡散層の深さを50nm程度にでき、ゲート長が1μm以下の微細デバイスに対応した接合形成が可能であることがわかる。

【0014】また、同程度の拡散層の深さを持つ場合には、せり上げ構造ではせり上げた部分だけ、ソース・ドレイン層のシート抵抗が低くでき、また、コンタクト抵抗が高くなるのを防ぐことができるという効果がある。

【0015】しかし、拡散層の深さは不純物が拡散する距離から、せり上げられた膜厚分だけ小さくなるので、せり上げられたソース・ドレイン層の膜厚のウェハ面内、ロット間のばらつき及びファセット形状のばらつきが、直接拡散層の接合深さのばらつきとなるという問題がある。これを回避するために、第二のサイドウォールの膜厚をあつくる方法を採用すると、サイドウォール下部の抵抗が大きくなるという問題が生じる。

【0016】この点を回避するために、図4に示すように、不純物が導入された選択エピタキシャル層をソース・ドレイン層17として拡散層が形成される予定の領域

4

に形成して、これを拡散源として不純物を拡散させて、ソース・ドレイン拡散層10をシリコン基板中に形成する方法が実施されている。この方法ではソース・ドレイン拡散層10の深さは、せり上げられた部分の膜厚にはよらず面内に均一な深さの拡散層を形成できるほか、せり上げられた部分には高濃度の不純物を導入できるので、ソース・ドレイン層の抵抗が低減できるという利点がある。

【0017】一方、微細トランジスタにおいて、P型のトランジスタのしきい値をエンハンスメント型にするためには、ゲート電極をP+型のゲート電極にする必要がある。この場合、ソース・ドレイン領域への不純物導入とゲート電極への不純物導入を同時に行う自己整合法では、プロセスが簡略化できるという利点がある。しかし、P+型のゲート電極の場合は、熱処理の際にボロンがゲート酸化膜中を拡散してチャンネル領域に達し、トランジスタのしきい値を変動させることもある。又逆に、N+型のゲート電極の場合、As等の拡散しにくい不純物は熱処理が完全ではないと、ゲート電極を構成する多結晶シリコン膜のゲート酸化膜に接する側の不純物濃度が低くなり、この領域が空乏化するという問題点が発生するなど、工程の制御性の観点からは問題が多い。

【0018】不純物をドーブしたせり上げ層からの固層拡散法でソース・ドレイン拡散層を形成する方法では、P+型ゲート電極又はN+型ゲート電極を同時に形成する場合、イオン注入法などにより、ゲート電極内に別途不純物を導入しゲート電極下層の空乏化を防ぐ必要があるが、プロセスの条件設定が複雑になるという問題がある。

【0019】これを回避するために、特開平1-293668号公報に記載されているように、ソース・ドレイン層とゲート電極を自己整合的に形成する方法も提案されている。以下この方法を図5を用いて説明する。

【0020】ゲート酸化膜13上にシリコン窒化膜15を形成し、ゲート酸化膜13をゲート長となるようにエッチングし、シリコン窒化膜15をゲート酸化膜13より狭くなるようにエッチングした後に、ソース・ドレイン領域上には選択的に不純物が導入されたせり上げられたソース・ドレイン層17を、シリコン窒化膜15上には不純物が導入された多結晶シリコン膜からなるゲート電極14を形成する。

【0021】このとき、ソース・ドレイン層が形成される領域を、局所酸化法等により酸化しエッチングする等して、ゲート酸化膜が形成される領域よりも低くしておき、せり上げられたソース・ドレイン層17と、ゲート電極14の短絡を防ぐような構造とする場合もある。

【0022】

【発明が解決しようとする課題】図4で説明したように、シリコン基板上のソース・ドレイン領域に不純物を導入したシリコン膜を選択的に形成してせり上げられた

5

ソース・ドレイン層を形成し、この層から不純物を基板内に拡散させる固相拡散法では、ゲート電極への不純物導入を別工程で行わなければならないという不都合な点がある。これを回避するために、図5で説明した方法では、ゲート絶縁膜に酸化膜と窒化膜の積層膜を用いるが、この構造ではゲート容量を小さくできないだけでなく、構造が複雑であり、微細トランジスタの製造においては実現困難である。また、シリコン窒化膜やシリコン酸化膜での成長の選択性を確保できる条件では余裕度が狭い。

【0023】本発明の目的は、拡散層の深さ（接合深さ）を50nm程度に浅く形成すると同時に、ゲート電極への不純物の導入を自己整合的に行える、せり上げ構造のソース・ドレイン層を有する半導体装置の製造方法を提供することにある。

【0024】

【課題を解決するための手段】本発明の半導体装置の製造方法は、シリコン基板上に薄い酸化膜と多結晶シリコン膜と厚い酸化膜とを順次形成したのちパターンニングし、ゲート酸化膜とゲート電極とゲート電極を覆う酸化膜とを形成する工程と、全面に窒化膜を形成したのちエッチバックし前記ゲート電極の側面にゲート電極より高いサイドウォールを形成する工程と、前記ゲート電極を覆う前記酸化膜を除去したのち不純物を含むシリコン膜を堆積し前記シリコン基板のソース・ドレイン領域にせり上げられたソース・ドレイン層を形成すると共に前記ゲート電極上に多結晶シリコン層を形成する工程と、熱処理を行ない前記ソース・ドレイン層より不純物を拡散させ前記シリコン基板にソース・ドレイン拡散層を形成すると同時に前記多結晶シリコン層より不純物を拡散し前記ゲート電極に導電性を与える工程とを含むことを特徴とするものである。

【0025】

【発明の実施の形態】次に本発明について図面を参照して説明する。図1(a)～(c)は本発明の第1の実施の形態を説明する為の半導体チップの断面図である。

【0026】まず図1(a)に示すように、従来と同様にシリコン基板1Aの表面を局所酸化し素子分離層2を形成し、次でイオン注入法によりウエル領域1Bを形成する。次で全面に厚さ5nmのゲート酸化膜を形成後、多結晶シリコン膜を50nm続いて酸化膜を100nm堆積する。その後、フォトリソ膜を塗布・露光して、ゲート電極パターンのマスクを形成し、プラズマエッチング法により酸化膜と多結晶シリコンを順次エッチングし、ゲート電極4及びゲート電極上の酸化膜5を形成し、次でフォトリソ膜を除去する。その後、全面に窒化膜を20nm堆積したのちエッチバックし、窒化膜からなるサイドウォール6Aを形成する。

【0027】次に図1(b)に示すように、ゲート電極4上の酸化膜5を除去する。次でシリコン基板表面をフ

6

ッ酸蒸気で処理して自然酸化膜を除去した後に、大気にさらすことなく減圧CVD装置に導入し、800℃以下の低温で水素ベークを行い、自然酸化膜等を完全に除去する。その後、原料ガスとしてシランを用い、HClを混入して選択成長を可能にし、P型トランジスタではジボラン(B_2H_5)を、N型トランジスタではアルシン(AsH_3)を混入して、ボロンあるいはヒ素を $1 \times 10^{20} \text{ atoms/cm}^3$ 程度導入した選択シリコン成長を800℃以下で行い、ソース・ドレイン領域には厚さ100nmのエピタキシャル膜を形成してせり上げられたソース・ドレイン層7とし、ゲート電極4上にはほぼ同じ膜厚の多結晶シリコン層9を形成する。この選択シリコン成長時にゲート電極4上に成長する多結晶シリコン層9が横方向へ成長して、せり上げられたソース・ドレイン領域と接触するのを防ぐには、本実施の形態のように、サイドウォール6Aの高さをゲート電極4上に成長させる多結晶シリコン層9の膜厚以上にしておけばよい。

【0028】次に図1(c)に示すように、不純物の拡散活性化を行ないソース・ドレイン拡散層10を形成する。不純物としてボロンを用いる場合は急速加熱法により900℃、数十秒程度熱処理して行ない、ソース・ドレイン層7のボロンを下地シリコン基板方向に50～80nm程度拡散させ、ソース・ドレイン拡散層10を形成すると同時に、ゲート電極を構成する多結晶シリコン層9より下層のゲート電極4中にも不純物を拡散させ活性化させて、ゲート電極全体に導電性を与える。N型では急速加熱法により1000℃、数十秒の熱処理を施して拡散させる。その後第2のサイドウォール6Bを形成してファセット部を埋め込む。以降は図3を用いた従来例で述べたように、せり上げられたソース・ドレイン層7及びゲート電極の上部をシリサイド化し、層間膜や電極形成等を経てMOSトランジスタを完成させる。

【0029】本第1の実施の形態では、接合形成はせり上げられたソース・ドレイン層を拡散源とした固相拡散によりおこなうので、拡散層の深さは従来例で述べたように、ファセット形状やせり上げ膜厚にはよらず、拡散層の接合深さを50nmと浅くすることができ、かつ、安定して形成できるという利点がある。

【0030】また、本第1の実施の形態では従来例と同様に、層抵抗やコンタクト抵抗を低くできると同時に、ソース・ドレイン領域及びゲート電極への不純物の導入が自己整合的にできるという利点がある。ゲート電極の不純物導入に関しては、不純物が拡散する距離だけ多結晶シリコンのゲート電極4を形成しておけば、P型トランジスタでのボロンの突き抜け、P型及びN型トランジスタのゲートの空乏化を制御性よく防止できるという利点がある。

【0031】CMOS集積回路の製造に関しては、サイドウォール6A形成し、ゲート電極上の酸化膜5を除去

7

した後に、酸化膜を50nm堆積し、レジスト塗布・露光工程により、N型のトランジスタが形成される領域のみを開孔して、酸化膜を除去後レジストを剥離して選択シリコン成長を行えば、N型のトランジスタのみを形成できる。P型のトランジスタは、再度酸化膜を堆積後、同様の方法で本実施形態の方法を行えばよい。

【0032】なお、サイドウォールの材質、ゲート多結晶シリコン上に堆積する膜の材質及び選択エッチング法の組み合わせは、シリコン窒化膜、酸化膜、フッ酸処理に限らず、選択的にエッチングができてサイドウォールのみが残る組み合わせであれば問題はない。

【0033】又、選択シリコン膜形成方法は減圧CVD法に限らず、超高真空CVD法を用いてもよい。シリコン上に選択的に形成できれば、ソース・ドレイン層は必ずしもエピタキシャル膜である必要はないが、シリコン基板とせり上げられたソース・ドレイン層の界面の残留酸化膜、炭素、フッ素等は、拡散源からシリコン基板及びゲート電極への不純物の拡散を妨げるだけでなく、接合リークの原因になり得るのでできるだけ除去することが肝要である。

【0034】図2(a)、(b)は本発明の第2の実施の形態を説明する為の半導体チップの断面図である。

【0035】まず図2(a)に示すように、第1の実施の形態と同様の操作によりシリコン基板1A上に素子分離層2、ゲート酸化膜3、厚さ50nmの多結晶シリコン膜からなるゲート電極4、サイドウォール6A、ゲート電極4上の酸化膜の除去を行なう。次でシリコン基板表面をフッ酸蒸気で処理して自然酸化膜を除去後、大気にさらすことなく減圧CVD装置に導入し、800℃程度で水素ベークを行って、自然酸化膜等を完全に除去する。次に原料ガスとしてSiH₄を用い、HClを添加して選択成長を可能にし、アルシン(AsH₃)を添加して、ヒ素を導入したソース・ドレイン層7と多結晶シリコン膜9をソース・ドレイン領域及びゲート電極4上に40nm程度選択的に形成した後これらの膜の上に、アルシンの添加を中止して不純物の導入されないシリコン膜12と多結晶シリコン膜9Aを30nm程度形成する。

【0036】次に図2(b)に示すように、第2のサイドウォール6Bを形成してファセットを埋め込み、850℃程度でヒ素を基板方向に拡散させて、ソース・ドレイン拡散層10を形成する。その後、全面にチタンをスパッタして不純物を導入しないシリコン膜7A及び多結晶シリコン膜9Aがシリサイド形成に消費されるようにシリサイド化して、低抵抗のチタンシリサイド膜11を形成する。以下層間膜堆積、コンタクト開孔、配線形成等を行いトランジスタを完成させる。

【0037】従来のトランジスタではN型の不純物がシ

8

リサイド化反応を妨げる働きをするために、N型のトランジスタではシリサイド膜厚がP型に比べて薄くなっていたが、本実施の形態の方法では表面側のシリコン膜には不純物を導入しないようにする事により、N型のトランジスタのシリサイド膜厚を厚くすることができる。

【0038】ここで、ソース・ドレイン領域のシリコン合金層は、チタンに限らずコバルトやニッケルなどのような高融点金属を用いてもよい。

【0039】

【発明の効果】以上述べたように本発明は、ゲート電極上及びソース・ドレイン領域上に選択的に不純物を導入したシリコン層を形成し、そのシリコン層を拡散源としてシリコン基板内及びゲート電極内に不純物を拡散させる事により、ソース・ドレイン拡散層を形成すると同時に、ゲート電極にも導電性を与えることにより、極浅い接合を有する微細なMOSトランジスタを製造できるという効果がある。また、ソース・ドレイン層におけるシリサイドに消費される部分の不純物濃度を、シリコン基板に接する部分の濃度よりも低くすることにより、N型トランジスタのシリサイド膜厚をP型トランジスタのシリサイド膜厚と同程度にできる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明する為の半導体チップの断面図。

【図2】本発明の第2の実施の形態を説明する為の半導体チップの断面図。

【図3】従来の半導体装置の製造方法を説明する為の半導体チップの断面図。

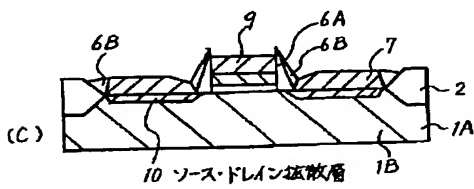
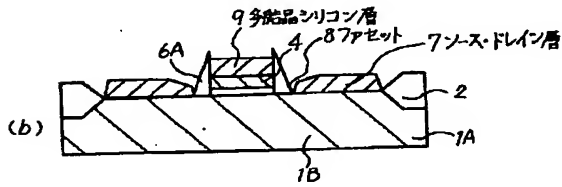
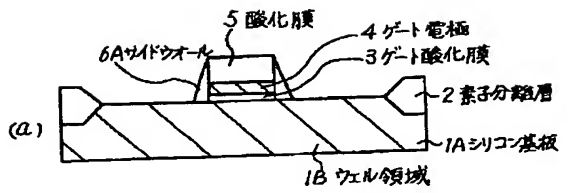
【図4】従来の他の半導体装置の製造方法を説明する為の半導体チップの断面図。

【図5】従来の他の半導体装置の製造方法を説明する為の半導体チップの断面図。

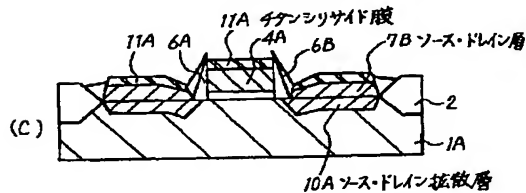
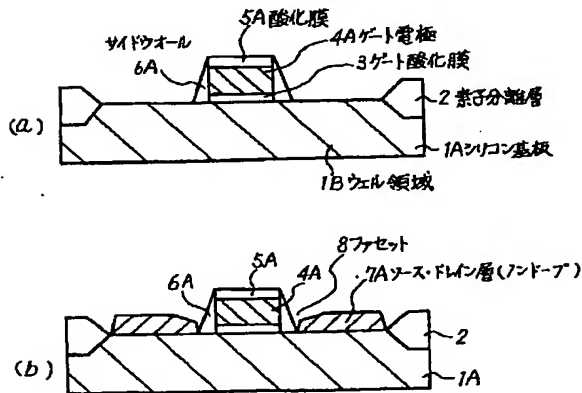
【符号の説明】

- 1A シリコン基板
- 1B ウェル領域
- 2 素子分離層
- 3, 13 ゲート酸化膜
- 4, 14 ゲート電極
- 5, 5A 酸化膜
- 6A, 6B サイドウォール
- 7, 7A, 7B ソース・ドレイン層
- 8 ファセット
- 9, 9A 多結晶シリコン膜
- 10 ソース・ドレイン拡散層
- 11, 11A チタンシリサイド層
- 12 シリコン膜
- 15 シリコン窒化膜

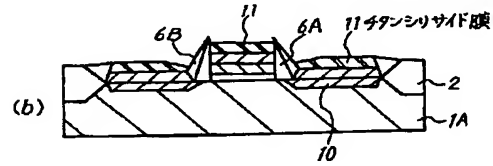
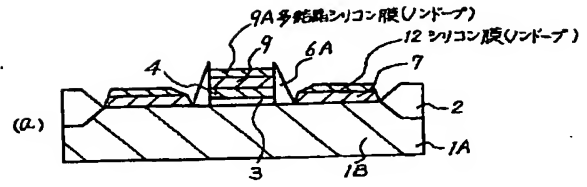
【図 1】



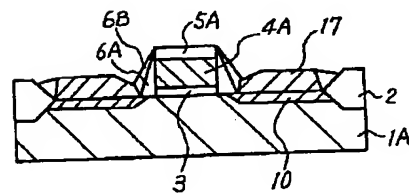
【図 3】



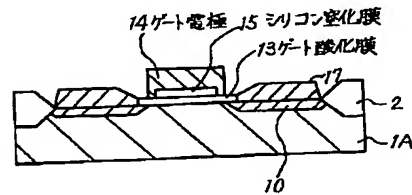
【図 2】



【図 4】



【図 5】



【手続補正書】

【提出日】平成8年6月20日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】また、拡散層の形成領域が浅いと、シート抵抗が大きくなるだけでなく、コンタクト孔形成の際に、配線とのコンタクト抵抗が高くなり、プロセスウインドが小さくなるという問題点もある。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】次に図3(b)に示すように、フッ酸蒸気処理してソース・ドレイン領域の自然酸化膜を除去した後に、大気にさらすことなく減圧CVD装置中に導入し、次で800℃程度で、原料ガスとしてシラン(SiH_4)を用い、シリコン酸化膜上にはシリコン膜が形成されないように、塩化水素ガス(HCl)を混合して、シリコン表面が露出している領域に選択的に50~70nm程度のエピタキシャル成長を行い、せり上げられたソース・ドレイン層7Aを形成する。このとき、サイドウォール6Aと接する部分に、サイドウォールと密着しない部分(以降、ファセットと呼ぶ)8が生じる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】次に図3(c)に示すように、このファセット8を埋め込むために、たとえば、窒化膜等でサイドウォール6Bを再度形成してファセット8を埋める。次でゲート電極4A上の酸化膜5Aを除去後、イオン注入中の汚染防止用の膜として厚さ5nmの酸化膜を形成し、イオン注入により、P型では BF_2 を10~20keV、N型ではヒ素を40~60keVでせり上げられたソース・ドレイン層7A及びゲート電極4Aに導入し、熱処理を施して不純物の活性化をおこなう。この工程によりゲート電極4A中の不純物をゲート電極全体に拡散させ、活性化して導電性を与えると同時に、せり上げられたソース・ドレイン層7B中の不純物をシリコン基板方向へ拡散させて、基板内部にソース・ドレイン拡散層10Aを形成する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】拡散層の深さ(接合深さ)は、せり上げられる以前のシリコン基板表面から、不純物濃度がウェルの濃度と等しくなるまでの深さと定義されるが、従来のイオン注入による方法では、イオン注入した不純物が基板方向に拡散する為、この接合深さを不純物が活性化時に拡散する距離である50nm以下に浅くできなかったという問題点があった。せり上げ構造を用いると、せり上げられた膜厚分だけ不純物の拡散に対して余裕度があるために、拡散層の深さを容易に浅くできるという利点がある。つまり、50nmのせり上げ膜厚を採用すると、従来のイオン注入法を用いても、拡散層の深さを50nm程度にでき、ゲート長が1μm以下の微細デバイスに対応した接合形成が可能であることがわかる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正内容】

【0026】まず図1(a)に示すように、従来と同様にシリコン基板1Aの表面を局所酸化し素子分離層2を形成し、次でイオン注入法によりウェル領域1Bを形成する。次で全面に厚さ5nmのゲート酸化膜を形成後、多結晶シリコン膜を30nm続いて酸化膜を100nm堆積する。その後、フォトリソ膜を塗布・露光して、ゲート電極パターンのマスクを形成し、プラズマエッチング法により酸化膜と多結晶シリコンを順次エッチングし、ゲート電極4及びゲート電極上の酸化膜5を形成し、次でフォトリソ膜を除去する。その後、全面に窒化膜を20nm堆積したのちエッチバックし、窒化膜からなるサイドウォール6Aを形成する。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】次に図1(b)に示すように、ゲート電極4上の酸化膜5を除去する。次でシリコン基板表面をフッ酸蒸気で処理して自然酸化膜を除去した後に、大気にさらすことなく減圧CVD装置に導入し、その後、原料ガスとしてシランを用い、 HCl を混入して選択成長を可能にし、P型トランジスタではジボラン(B_2H_6)を、N型トランジスタではアルシン(AsH_3)を混入して、ボロンあるいはヒ素を $1 \times 10^{20} \text{ atoms/cm}^3$ 程度導入した選択シリコン成長を800℃以下で行い、ソース・ドレイン領域には厚さ100nmのエピタキシャル膜を形成してせり上げられたソース・ドレイン層7とし、ゲート電極4上にはほぼ同じ膜厚の多結晶シリコン層9を形成する。この選択シリコン成長時にゲー

ト電極 4 上に成長する多結晶シリコン層 9 が横方向へ成長して、せり上げられたソース・ドレイン領域と接触するのを防ぐには、本実施の形態のように、サイドウォール 6 A の高さをゲート電極 4 上に成長させる多結晶シリコン層 9 の膜厚以上にしておけばよい。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正内容】

【0035】まず図 2 (a) に示すように、第 1 の実施の形態と同様の操作によりシリコン基板 1 A 上に素子分離層 2、ゲート酸化膜 3、厚さ 30 nm の多結晶シリコ

ン膜からなるゲート電極 4、サイドウォール 6 A の形成及びゲート電極 4 上の酸化膜の除去を行なう。次でシリコン基板表面をフッ酸蒸気で処理して自然酸化膜を除去後、CVD 装置に導入し、800℃程度で水素ペークを行って、自然酸化膜等を完全に除去する。次に原料ガスとして SiH_4 を用い、 HCl を添加して選択成長を可能にし、アルシン (AsH_3) を添加して、ヒ素を導入したソース・ドレイン層 7 と多結晶シリコン膜 9 をソース・ドレイン領域及びゲート電極 4 上に 40 nm 程度選択的に成長した後これらの膜の上に、アルシンの添加を中止して不純物の導入されないシリコン膜 12 と多結晶シリコン膜 9 A を 30 nm 程度形成する。